

⑫ 公表特許公報(A)

平5-509184

⑬ 公表 平成5年(1993)12月16日

⑭ Int. Cl.⁵ 識別記号 庁内整理番号 審査請求 未請求
 G 06 F 15/80 3 9 0 H 9190-5L 予備審査請求 有 部門(区分) 6(3)
 12/08 7608-5B
 15/16 9190-5L
 (全 9 頁)

⑯ 発明の名称 並列プロセッサアレイのための仮想処理アドレス・命令ジェネレーター

⑰ 特 願 平3-510619

⑱ 翻訳文提出日 平4(1992)11月30日

⑲ 出 願 平3(1991)5月14日

⑳ 国際出願 PCT/US91/03345

㉑ 国際公開番号 WO91/19268

㉒ 国際公開日 平3(1991)12月12日

優先権主張 ㉓ 1990年5月29日 ㉔ 米国(US) ㉕ 529,947

⑳ 発 明 者 ジャクソン、ジェームス、エイ アメリカ合衆国 27511 ノースカロライナ州 キャリイ、ベンウ
チ ャド ドライブ 119㉑ 出 願 人 ウェーブトレーサー インコー アメリカ合衆国 01720 マサチューセッツ州 アクトン、グレー
ボレイテッド ト ロード 289

㉒ 代 理 人 弁理士 秋元 輝雄

㉓ 指 定 国 AT(広域特許), AU, BE(広域特許), CA, CH(広域特許), DE(広域特許), DK(広域特許), ES(広域
特許), FR(広域特許), GB(広域特許), GR(広域特許), IT(広域特許), JP, LU(広域特許), NL(広
域特許), SE(広域特許)

最終頁に続く

請求の範囲

1. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有するプロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる並列処理システム:

前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサセルに 대응して、この前もって決められた数の物理プロセッサセルの各々に伴うべき仮想プロセッサの数を確定するための手段;

前記の前もって決められた数の物理プロセッサセルの各々に伴うべき仮想プロセッサの数を確定するための手段に 対応して、物理プロセッサセルの各々に伴うべき仮想プロセッサのベースメモリアドレスに対応する1つの物理プロセッサセルメモリアドレスを確定するための手段;

1つまたは1つ以上のプロセッサセル命令を提供するための手段;

各オペランドを前記のプロセッサセルのアレイによって処理するための、

1つの仮想オペランドメモリアドレスを提供するための手段;

仮想オペランドメモリアドレスを提供するための前記の手段と前記の仮想プロセッサのベースメモリアドレスに 対応して、1つの対応する仮想プロセッサベースメモリアドレスで仮想オペランドメモリアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサセルメモリアドレスを生成するための手段: ならびに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサセル命令を提供するための前記の手段に 対応して、プロセッサアレイの各プロセッサセルに流すべきアドレス再配置プロセッサセル命令を発生させるための対応する1つの物理プロセッサセル

メモリアドレスをもった1つのプロセッサセル命令を生じさせるための手段

2. 請求項1のシステムにおいて、プロセッサセルアレイに、多次元アレイを構成するように相互接続された複数のプロセッサセルが含まれるもの

3. 請求項2のシステムにおいて、多次元アレイに1つの3次元アレイが含まれるもの

4. 請求項1のシステムにおいて、1つの問題次元のサイズを構成する問題ノード数を提供するための手段に、前置型プロセッサが含まれるもの

5. 請求項1のシステムにおいて、各仮想プロセッサのベースメモリアドレスに対応する1つの物理プロセッサセルメモリアドレスを確定するための手段が、オペランドがそこから取られるべき原始仮想プロセッサのベースメモリアドレスと、オペランドがそこに記憶されるべき宛先仮想プロセッサのベースメモリアドレスを確定するもの

6. 請求項1のシステムにおいて、プロセッサセル命令の各々に、少なくとも1つのプロセッサセルアドレスセグメントと1つのプロセッサセルコントロールセグメントが含まれるもの

7. 請求項1のシステムにおいて、対応する1つの物理プロセッサセルメモリアドレスをもった1つのプロセッサセル命令を生じさせるための手段が、その物理プロセッサセルメモリアドレスを、1つの対応するプロセッサセル命令のアドレスセグメントの値に加算するもの

8. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサセルを有する多次元プロセッサアレイのための、プロセッサセル命令とそれに対応するプロセッサセル物理メモリアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる多次元並列処理システム:

少なくとも1つの3次元アレイを形成するように相互接続された、前もって決められた数の物理プロセッサセルを有する1つのプロセッサアレイ;

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段;

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサ

てプロセッサコントローラ104に接続されてコマンドプリプロセッサとして機能するところの、適切な前置型プロセッサ102が含まれる。好ましい実施例においては、この前置型プロセッサ102として、Unix™オペレーティングシステムの制御のもとに動作する通常のコンピュータを用いる。かかる前置型プロセッサの一例は、Sun Microsystems社から入手することが可能なSunワークステーションである。前置型プロセッサ102には、通常のコンパイラと、C言語への並列処理拡大体を用いて書き込みがなされたプログラムをシステムがコンパイルし実行することを可能にする、前記Cコンパイラのためのプリプロセッサが含まれる。

プロセッサコントローラ104は、前置型プロセッサ102とプロセッサアレイ108の間の中間処理機能を提供する。このプロセッサコントローラ104には、コントロールプロセッサプログラムメモリ112に記憶されたコントロールプロセッサプログラムの制御のもとに動作するコントロールプロセッサ110が含まれる。このような並列処理システムの一例は、いずれも本明細書で引用しているところの、同時継続米国特許No. 07/530,027(名称`MULTI-DIMENSIONAL PROCESSOR SYSTEM AND PROCESSOR ARRAY WITH MASSIVELY PARALLEL INPUT/OUTPUT`)およびNo. 07/529,962(名称`DIMENSIONALLY RECONFIGURABLE MULTI-DIMENSIONAL PROCESSOR ARRAY`)に開示されているとおりである。

前置型プロセッサ102はコントロールプロセッサ110と連絡し、選択されたコマンドに応じて該コントロールプロセッサにコマンドを送り、かつまた該コントロールプロセッサからのデータを読み取る。通常、各々のコマンドは、余数や乗数などのワード・オリエンテッド型の単項演算または2項演算を記述する。コントロールプロセッサ110はかかるコマンドを固定し、そしてそれらをマクロ命令と呼ばれる1続きのワード・オリエンテッド型のコマンドとしてリフォーマットする。マクロ命令はアドレス・命令ジェネレータに転送される。そしてこのアドレス・命令ジェネレータは、シリアライザ内に配置

されたレジスタを初期設定することにより、シリアライザ120と命名したもことになる。シリアライザ120はマイクロワード122の制御のもとで動作し、そして各々のワード・オリエンテッド型マクロ命令を、ナノ命令と呼ばれる1続きのビット・オリエンテッド型コマンドに変換する。このビット・オリエンテッド型コマンドは、それぞれ、メモリアドレスビットとコントロールビットからなるプロセッサセル命令である。該シリアライザは、該シリアライザが生成させるナノ命令の各シーケンスを、プロセッサアレイ108の全てのプロセッサに伝送する。ナノ命令メモリ124には、シリアライザ120がそれにアクセスしてプロセッサアレイのためのナノ命令を形成するところの、ナノ命令テンプレートの表が含まれる。

コントロールプロセッサ110はシリアライザ120との間で直接的にデータの受渡しを行うが、一方、両方向エッジIFO126を経由してプロセッサアレイ108との間でもデータの受渡しを行う。同様にして、前置型プロセッサ102との間の通信は小型コンピュータシステムインターフェース(SCSI)106を介してなされる。コントロールプロセッサ110はプロセッサアレイ108を初期設定するためのコマンドを受け取り、そしてプロセッサアレイ、前置型プロセッサ、ならびに、標準およびオプションのスワッピングRAMやオプションのI/Oデバイスなどの周辺装置間の入出力転送を制御する。

シリアライザ120は、図2のブロック・ダイアグラムに一番詳細に示すとおりである。図においてシリアライザはその入力信号をコントロールプロセッサ110から受け取り、また、コントロールプロセッサ110はその入力信号を前置型プロセッサ102から受け取る。

前置型プロセッサ102は、問題空間次元150ならびに追加的な初期設定情報をコントロールプロセッサ110へ伝送することにより、システムを初期設定する。コントロールプロセッサ110は、シリアライザ120内にレジスタをロードして、各プロセッサセルにともなう問題ノードの写像156をシリアライザに記述することにより、この情報に答える。アドレス再配置回路162は写像156を受け取り、そして、前置型プロセッサ102からの

後続の情報を処理する間に、それを用いて、仮想アドレスベース164と遠隔アドレスベース165の値を生成させる。

つぎに前置型プロセッサ102は、コントロールプロセッサ110にコマンドを送ってシステムを制御し始める。このコマンドは操作符号154とオペランドデータ152からなる。オペランドビット・アドレスジェネレータ168は、オペランドアドレスデータ158をコントロールプロセッサ110から受け取り、そしてプロセッサアレイによって処理されるべきオペランドビットの仮想アドレスを、信号経路170を通じてナノ命令ジェネレータ166に提供する。ナノ命令ジェネレータ166の集計回路172は、仮想アドレス170の各々を、各プロセッサセルにおいて現在のオペランドビットについて逐行されつつある操作に応じて、仮想アドレスベース164または遠隔アドレスベース165のいずれかで加算し、処理されるべきオペランドビットのプロセッサセルメモリ物理アドレス174を形成する。

コントロールプロセッサはまた、操作符号154とオペランドデータ152を復号してマイクロプログラム制御信号160を生成させ、そしてそれをマイクロプログラム・コントロールユニット176へ送る。マイクロプログラム・コントロールユニット176は、これらの信号に応じてナノ命令テーブルアドレス178を発生し、そしてそれを用いてナノ命令メモリ124をアドレスし、ナノ命令テンプレート180を得、ついでそれをナノ命令ジェネレータ166へ送る。マイクロプログラム・コントロールユニット176はまた、オペランドビットのアドレスジェネレータ168、アドレス再配置回路162、およびナノ命令ジェネレータ166を、それ自身の操作と同期させるための制御情報を生成する。ナノ命令ジェネレータ166は、仮想アドレスベース164または遠隔アドレスベース165と仮想アドレス170の和としてそれが形成する各々の物理アドレス174を、対応するナノ命令テンプレート180のアドレスビットと加算し、それぞれのナノ命令182を生成する。それぞれのナノ命令182は、各プロセッサセルのメモリにおける1つのビットの物理アドレスと、各プロセッサセルのそのビットについて逐行されるべき操作を記述する制御ビット、の両方を含む。ナノ命令ジェネレータ166は、それが生成させる各々の

ナノ命令182を、アレイの全てのプロセッサセルへ流す。

前置型プロセッサ102は、ワード・オリエンテッド型コマンドをコントロールプロセッサへ送ることによって、コントロールプロセッサ110と連絡する。コントロールプロセッサ110はかかるコマンドを固定し、そしてそれらを1続きのマクロ命令としてリフォーマットする。かかるコントロールプロセッサ110の1例は、図3のブロック・ダイアグラムに一番詳細に示すとおりであるが、マイクロプロセッサ180がこれに含まれる。このマイクロプロセッサ180はADM-29000プロセッサであって、コントロールプロセッサプログラムROMとRAM112の制御のもとに動作する。コントロールプロセッサのデータRAM114は、一時的データとプロセッサ変数記憶をマイクロプロセッサ180に提供する。

ある与えられたユーザー・プログラムを、変更せずに各種サイズのプロセッサアレイのランに使えるようにするためには、応用プログラマーは、仮想処理のためのメモリの割り付けを要求されてはならない。それゆえ、実際、応用プログラムは、ある与えられたプロセッサアレイにおける物理プロセッサセル数の束縛から切り離される。そのかわりに、応用プログラムは単に、希望する問題空間のX、YおよびZ次元のみを確定する。つぎにコントロールプロセッサは、プロセッサアレイのサイズを測定し、そして問題空間の与えられた次元とプロセッサアレイの各エッジに沿ってのプロセッサの数から、各物理プロセッサに割り振られるべき1組の仮想プロセッサを計算する。この1組の仮想プロセッサを、物理プロセッサセルの領域と称する。これらの領域次元は、好ましい実施例におけるように多次元であっても差し支えなく、次によって得られる。

$$X_i = X/s_x, Y_i = Y/s_y, \text{ および } Z_i = Z/s_z$$

ここに X_i 、 Y_i 、および Z_i は、各物理プロセッサセルの領域の次元、 X 、 Y および Z は問題空間の次元、また s_x 、 s_y および s_z は物理プロセッサにおけるアレイの次元である。

シリアライザは、それがコントロールプロセッサから入手することが可能な未処理の入力を有するときは、それぞれのナノ命令サイクルに1回だけ、プ

ロセッサアレイの各プロセッサセルに、有用なノ命令を流すべきである。シリアルライザーは、プロセッサコントローラーから受け取った各マクロ命令に対して1つのノ命令シーケンスを生成するだけでなく、また、必要に応じて各ノ命令についてアドレスを変更したうえで、既にそれぞれの物理プロセッサセルにマッピングされている各仮想プロセッサについてそのノ命令シーケンスを反復しなければならない。アドレス・命令ジェネレーターはまた、2つの仮想プロセッサが相互に通信し合わなければならないときは、複数の物理プロセッサセルが関与する場合があることも考慮しなければならない。

したがって、コントロールプロセッサから受け取るある与えられたマクロ命令に対応する各ノ命令シーケンスを生成させるためには、本発明のアドレス・命令ジェネレーターは、それが生成させる各ノ命令に含めるためのオペランドの物理アドレスを計算し、また、つぎのサイクルでどのマイクロコード命令を実行するか、したがってまた、どのノ命令を生成させるかを決定するための条件を評価しなければならない。つぎにシリアルライザーは、ある1つの物理プロセッサセルの領域にあるそれぞれの仮想プロセッサについて、該当する変更を施したうえで、それが生成させる各ノ命令シーケンスを反復しなければならない。

本発明のアドレス・命令ジェネレーター120は、dオペランドの場合について図4に示すような、5つのオペランドアドレスジェネレーターを有している。マクロ命令オペランドd、eおよびfに対しては3つのアドレスユニットがあり、一方、一時的変数uおよびvに対しては2つのアドレスユニットがある。それぞれのオペランドアドレスジェネレーター168には、2つの16ビット・ハイアドレスレジスター181と182、2つの16ビット・ローアドレスレジスター183と184、および2つの1ビット初期設定フラグレジスター185と186が含まれる。これらのレジスターのうちの第1のレジスターはコントロールプロセッサにより直接的にロードされる。一方、第2のレジスターはシリアルライザーにより第1のレジスターからロードされ、これによりシリアルライザーは、コントロールプロセッサが新たなマクロ命令を提供しているあいだに、1つのマクロ命令を処理することができる。このほかに、3つのカウンタすなわち

16ビット・ハイアドレスカウンタ187、16ビット位置アドレスカウンタ188、および16ビット・ローアドレスカウンタ189が含まれる。

ハイアドレスレジスター181と182のそれぞれは、カウンタ186と同じく、ある1つのオペランドの最上位ビット(MSB)の仮想アドレスを含み、一方、ローアドレスレジスター183と184のそれぞれは、カウンタ189と同じく、対応するオペランドの最下位ビット(LSB)の仮想アドレスを保持する。初期設定フラグ185と186は、それぞれ、当初にハイアドレスレジスターの内容がロードされるべき各ビット位置アドレスカウンタ188に対して設定され、あるいは、当初そのビット位置アドレスカウンタにロードカウンタの内容がロードされるべきであれば、クリアされる。ラン信号191はシリアルライザーがマイクロコードを実行しているときに設定され、そしてd-dh信号190は、dカウンタ188をdhカウンタ187からロードするマイクロコードを実行しているときに設定される。

図4に示す5つのシリアルライザーアドレスユニットのレジスターとカウンタに加えて、シリアルライザーは、図5のレジスター202を経由してコントロールプロセッサから情報を受け取る。マイクロプログラムアドレスレジスター203と204、およびマイクロプログラムアドレスカウンタ206は、各シリアルライザーサイクルの終端でロードされる。メモリーレジスター206はシリアルライザーがマイクロコードの実行を開始するときにレジスター204からロードされ、そしてシリアルライザーがランしているあいだは、マイクロプログラムによって生成させられるブランチアドレスからロードされる。各シリアルライザーサイクルの終端でシリアルライザーがマイクロプログラムメモリーアドレスレジスター206をロードするときは、シリアルライザーはまた、アドレスレジスター206にロードされたつづめるアドレスで、図1のコントロールプロセッサデータメモリー114からデータワードを読み取る。このデータは、それぞれ64ビットワイドの前置オペランドレジスターF0およびF1(それぞれ210および212)に読み込まれる。fオペランドアドレスユニットからのfビットアドレスカウンタのローオーダー6ビット214は、64:1マルチプレックス216を経由して、前置並列変数の現行ビット216となるように、F1レジスターに1

つのビットを選択する。

オペランドアドレスユニット168のタイミングは図6に示す通りである。ここにnは、各物理プロセッサセルの領域内における仮想プロセッサの数である。シリアルライザーはコントロールプロセッサから受け取るそれぞれのマクロ命令に対して該当するマイクロコードをn回実行し、それぞれの仮想プロセッサについて1つづつパスを行う。符号192などで示した縦線はサイクル間に送んだ境界であって、この時点でシリアルライザーのレジスターとカウンタにデータをロードすることができる。すなわちインクリメントが可能である。パス193などの各仮想プロセッサパスには1クロックサイクル194が先行し、そしてこのクロックサイクルの間にシリアルライザーは1つのデフォルト・ノ命令を発生させ、そして次のパスのためのワーキングレジスターとカウンタを初期設定する。

コントロールプロセッサは、オペランドアドレスユニットのシリアルライザーレジスターの第1セットdh0、d10およびdf0に、シリアルライザーがマクロ命令i-1(196)のための最初の仮想プロセッサパス195を開始した時点から同じくシリアルライザーがマクロ命令i-1のための最後のパスを終了する1クロックサイクル前の時点(197)までの間に、マクロ命令iのための該当する値をロードする。シリアルライザーは、それが時点198で示すマクロ命令i-1の最後の仮想プロセッサパスを終了したときに、これらの値を、バイブラインレジスターの第2のセットdh1、d11およびdf1に複写する。ついでシリアルライザーは、マクロ命令iのための各仮想プロセッサパスに先行する各サイクル199の終端において、ハイアドレスレジスターとローアドレスレジスター(dh1とd11)から、3つのカウンタdh1、d、およびd1をロードする。各仮想プロセッサパスの残りのサイクルの間、シリアルライザーは、マクロ命令のための選択されたマイクロコードシーケンスを実行しかつマイクロコードの指令に従って各仮想プロセッサのためのアドレスカウンタを修正することにより、マクロ命令iのためのノ命令シーケンスを発生させる。

パス193などの各仮想プロセッサパスは、複数のサイクル200からなる。またシリアルライザーは、各サイクルのあいだに1つの有効ノ命令を発生さ

せるように設計される。

シリアルライザーは、各シリアルライザークロックサイクル199の終端で、各オペランドアドレスユニットの3つのカウンタ187~189の内容を、インクリメントならびにディクリメントすることができる。ビット位置アドレスカウンタ188などのカウンタをインクリメントならびにディクリメントする能力は、1つのオペランドのすべてのビット位置を順々にアドレスするために必要である。コントロールプロセッサから受け取ったマクロ命令の結果として実行されるシリアルライザーマイクロコードは、カウンタがインクリメントされるべきかディクリメントされるべきかを指令する。

各物理プロセッサのメモリーは、図7Aのメモリーマップ220に示すように区分される。このメモリーマップには、プロセッサアレイ内の物理プロセッサ位置を記述するフラグを有する物理フラグ・セグメント222と、一時メモリー記憶領域224が含まれる。残りのメモリーは、長さがそれぞれVビットの、X、Y、Z個の等しい仮想プロセッサメモリー領域226に区分される。

それぞれの物理プロセッサセルは、各マクロ命令を、その領域にある各仮想プロセッサごとに1回づつ、全部でX、Y、Z回実行しなければならない。図7Bのメモリーマップ230は、長さVビットの、1つの仮想プロセッサメモリー226のメモリーマッピングを示す。マクロ命令間の、与えられたある1つの仮想プロセッサ226の状態は、全ての変数232の値、そのヒープ234とスタック236の状態、およびそのsフラグ238の値によって記述される。ノ命令間の仮想プロセッサの状態にはまた、マクロ命令を完成するのに必要な図7Aの一時記憶領域224の値と、物理プロセッサの各レジスターの状態が含まれる。

1つの仮想処理空間を設定するために、コントロールプロセッサは、図8の4つのプロセッサx0、y0、sおよびz0(240~246)を以下のようロードする。ただし、Vは1仮想プロセッサのメモリーサイズである。

x0 = X, Y, Z, V
y0 = Y, Z, V
z0 = Z, V

特表平5-509184 (5)

ス信号278が得られ、そしてそのあと、この仮想ベース信号は仮想アドレスに
加算されて、アレイの全てのプロセッサセルに物理アドレスを生成させる。

図10の遠隔ベースジェネレーション回路280には3つのモジュロアッ
ダー282、284および286が含まれ、そしてこれらが1つずつ、座標X、
YおよびZに対応する。これらのモジュロアッダーはそれぞれ、総和出力とオ
ーバフロー出力を生成させる。総和出力は次のいずれかに等しい。(a) ベース
+インクレメント<リミットならば、ベース+インクレメント (b) ベース+
インクレメント≧リミットならば、ベース+インクレメント-リミット、オーバ
ーフロー信号は、ベース+インクレメント≧リミットならば正規出力に等しく、
ベース+インクレメント<リミットならばこの入力信号の補数に等しい。

インタープロセッサ通信マクロ命令を実現するマイクロコードは、データ
をX、YおよびZ方向に移動させる物理プロセッサの数をカウントするために
、それぞれF、TおよびUを使用する。各座標でデータを移動させなければなら
ない物理プロセッサの数を記述するため、シリアライザーは、F、TおよびU
オペランドについてオペランドアドレスユニットを以下のように初期設定する。

$$f f 0 = \begin{cases} 0, & \Delta x < 0 \\ 1, & \Delta x \geq 0 \end{cases}$$

$$t f 0 = \begin{cases} 0, & \Delta y < 0 \\ 1, & \Delta y \geq 0 \end{cases}$$

$$u f 0 = \begin{cases} 0, & \Delta z < 0 \\ 1, & \Delta z \geq 0 \end{cases}$$

$$f i 0 = t i 0 = u i 0 = 1$$

$$f h 0 = \begin{cases} (-1 - \Delta x) / x, & \Delta x < 0 \\ \Delta x / x, & \Delta x \geq 0 \end{cases}$$

$$s 0 = V$$

プロセッサアレイ内の1つのプロセッサセルから別のプロセッサセ
ルへのデータの移動は、以下の構文に従って記述される。

$$a = [\Delta x : \Delta y : \Delta z] b$$

ただし、"a"は宛先プロセッサセルのメモリー内の1つの場所であり、また
"b"は原始プロセッサセル内の1つの場所である。原始プロセッサセルは
、宛先プロセッサセルaに対して座標Δx、Δy、およびΔzだけ隔った場所
にある。

複数の仮想プロセッサとの間でデータの移動をおこなうマクロ命令を処理
するに先立ち、コントロールプロセッサは、3つのレジスターd x 0、d y 0
およびd z 0 (248~252)を以下のようにロードする。

$$d x 0 = (\Delta x - X, | \Delta x / X, |) Y, Z, V$$

$$d y 0 = (\Delta y - Y, | \Delta y / Y, |) Z, V$$

$$d z 0 = (\Delta z - Z, | \Delta z / Z, |) V$$

ここにΔx、Δy、およびΔzは、演算a=[Δx: Δy: Δz] bで示さ
れるような、宛先仮想プロセッサを基準にとったときの、原始仮想プロセッサ
に対する符号付き仮想プロセッサ座標である。表示d x 0、d y 0、および
d z 0は、距離d x、d y、およびd zを該当する領域次元X、Y、および
Z、でそれぞれ除したときの残数をあらわす。

図2のアドレス再配置回路162には再配置ベースジェネレーション回路が
含まれ、そしてこの再配置ベースジェネレーション回路は仮想ベースジェネレー
ション回路と遠隔ベースジェネレーション回路からなる。図9の仮想ベースジェ
ネレーション回路260には3つのモジュロコンバーター262、264お
よび266が含まれる。第1のモジュロカウンタ262へのインクレメント
入力268は、仮想プロセッサのメモリーサイズVを含むように前に定義した
s 0レジスターの値である。各モジュロカウンタは、そのインクレメント入
力およびリミット入力各物理プロセッサセルの領域次元X、Y、およびZ
、の関数として設定されるように、ステージされる。結果として得られる出力X
、YおよびZ (270~274)は、アッダー276によって加算され仮想ベ

$$t h 0 = \begin{cases} (-1 - \Delta y) / Y, & \Delta y < 0 \\ \Delta y / Y, & \Delta y \geq 0 \end{cases}$$

$$u h 0 = \begin{cases} (-1 - \Delta z) / Z, & \Delta z < 0 \\ \Delta z / Z, & \Delta z \geq 0 \end{cases}$$

それぞれのオペランドアドレスレジスターの各々のハイアドレスカウンタ
は、その座標のモジュロアッダーがオーバーフローしないときはいつでも、対応
する座標の物理アレイを通してデータを移動させなければならない距離を記述する
ように設定する。関係する座標のためのモジュロアッダーがオーバーフローしない
ときはいつでも、データは、もう1つの物理プロセッサを通して移動する。デ
ータを正座標の方向に移動させる場合には、それぞれのアドレスユニットのビッ
ト位置アドレスカウンタは、ハイアドレスカウンタに初期設定し、そしてロー
アドレスカウンタにカウントダウンする。一方、データを負座標の方向に移
動させる場合には、ビットアドレスカウンタは、ローアドレスカウンタに初
期設定し、そしてハイアドレスカウンタにカウントアップする。出力信号x
+d x、y+d y、およびz+d z (288~292)は、アッダー294によ
って加算され、遠隔ベース信号206を生ずる。

各仮想処理バスの開始点において、図2のマイクロプログラム・コントロ
ルユニット178は、オーバーフロービットx 0、y 0およびz 0を、それぞれ、
F、TおよびUアドレスユニットのハイビット位置アドレスカウンタ187 (図4)
に加算する。さらにまた、データを正の方向に移動させるべき各座標につ
いて、対応するオーバーフロービットx 0、y 0およびz 0は図4の対応する位置
アドレスカウンタ188にも加算される。このようにして、F、TおよびUア
ドレスユニットの各々は、それぞれの仮想処理バスのあいだの物理プロセッサ
セルの移動数をカウントするように、正しく初期設定される。

例として、領域次元4、1、1を有する物理プロセッサ300~306の
ための、a=[-11、0、0] bの形の、プロセッサ間通信演算を図11A
および図11Bに示す。仮想処理を開始させた結果として、コントロールプロセ
ッサは、各物理プロセッサの領域次元を設定するため、以下に示すようにs

0、y 0およびz 0をすでにロードしている。ただし、Vは各仮想プロセッサ
に割り付けられたメモリービットの数である。

$$x 0 = 4 V$$

$$y 0 = V$$

$$z 0 = V$$

$$s 0 = V$$

この例の場合には、ΔX=-11、Δy=0、およびΔz=0である。

図11Bの表は、各仮想プロセッサにおけるこの演算のための、キーレジ
スターと信号の値を示す。バス1のあいだ、仮想ベースコンバーター回路のxレ
ジスターはクリアされており、したがって0の仮想ベースを生成する。遠隔ベ
ースジェネレーション回路のモジュロアッダー回路は、オーバーフロー信号x 0
を発生し、したがってfおよびfhのレジスターに1が加算され、これにより原
始物理プロセッサ(たとえば300)が宛先物理プロセッサ(たとえば306)
から3プロセッサだけ離れていることが示される。遠隔ベース(これは原
始オペランドを再位置する)はVである、一方、仮想ベース(これは宛先オペラ
ンドを再位置する)は0である。これは、物理プロセッサ300の領域内にあ
る仮想プロセッサ308から、物理プロセッサ306の領域内にある仮想プ
ロセッサ310へのデータ移動に対応する。第2の仮想処理バスのあいだに、
xレジスターは0からVへインクレメントされ、原始または遠隔ベース0、なら
びに宛先または仮想ベースVをもたらす。第4のバスではオーバーフロービットx
0は0になり、このためfおよびfhのレジスターは、バスの開始点でインクレ
メントされない。つぎにデータは、2つの物理プロセッサのみを通して、物理
プロセッサ302から物理プロセッサ306へ、そしてまた物理プロセッサ
300から物理プロセッサ304へ移動する。

図2のナノ命令ジェネレーション回路166の詳細を図12に示す。この回
路は、5つのビット位置カウンタ320~328、仮想ベース278、遠隔ベ
ース296、およびナノ命令メモリー124に記憶されたナノ命令の表の数値か
ら、ナノ命令を発生させる。マイクロプログラムの制御のもとで、マクロ命令レ
ジスター330にナノ命令インデックスビット332がロードされ、そしてこれ

らのナノ命令インデックスビットが、ナノ命令メモリー124内の該当するナノ命令テンプレートを指定する1つのナノ命令アドレス334を発生させる。マルチプレクサー336は、信号338の制御のもとに、0、遠隔ベース296または仮想ベース278がアッダー342によって選択されたビットオペランドアドレス信号340に加算されるべきか否かを指令する。この結果としてアッダー342から得られる出力信号344は、オペランドデータの物理アドレスである。この物理アドレスはアッダー346によってナノ命令に加算され、ナノ命令レジスター348に記憶され、そして次のシリアライザーサイクルの開始時にプロセッサアレイの各プロセッサセルに流される。

通常の技術的な熟達をもってなしうる本発明に対する変更および置換は、本発明ならびに以下添付する請求項の範囲内のものであると考える。

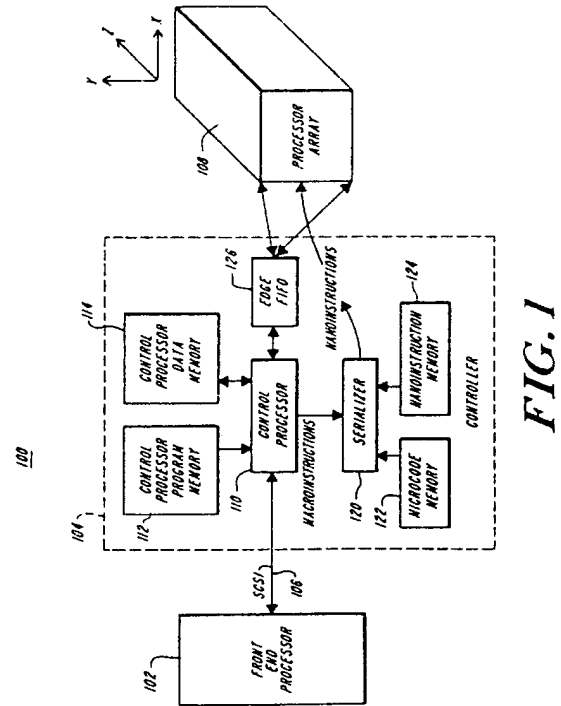


FIG. 1

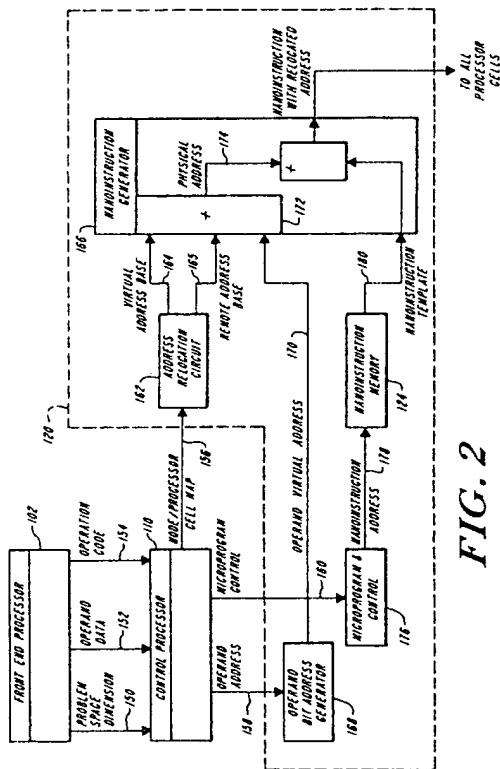


FIG. 2

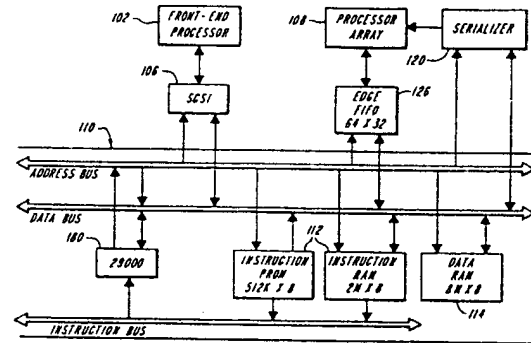


FIG. 3

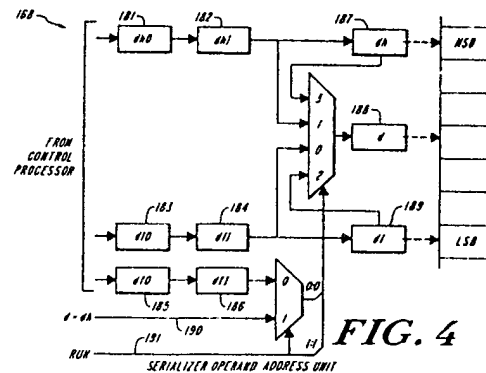


FIG. 4

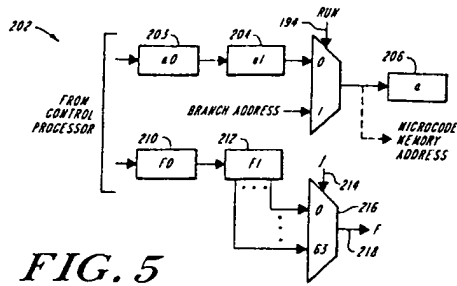


FIG. 5

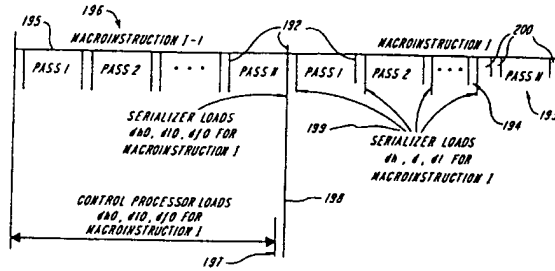


FIG. 6

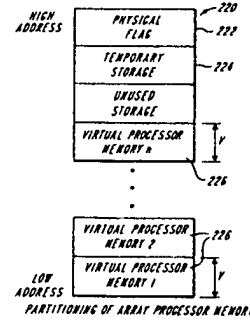


FIG. 7A

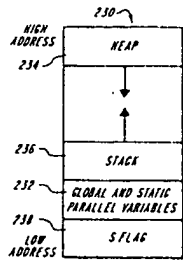


FIG. 7B

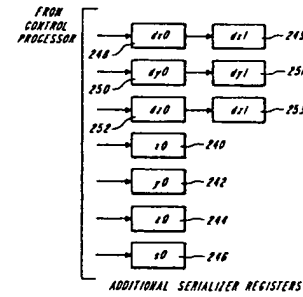


FIG. 8

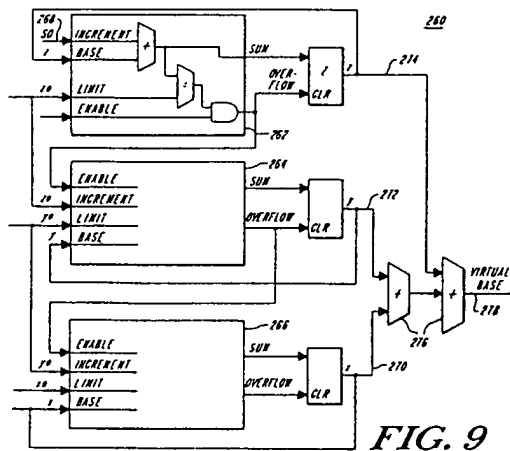


FIG. 9

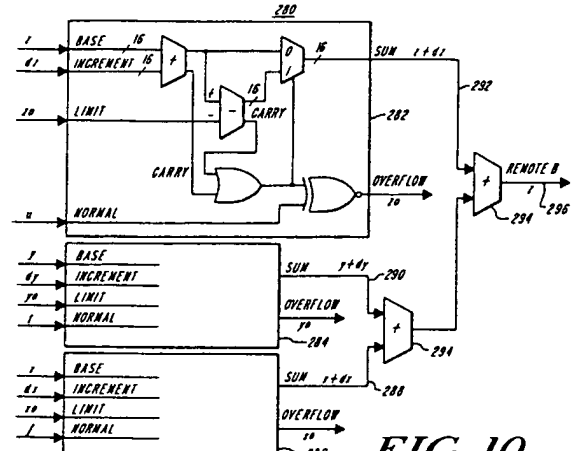


FIG. 10

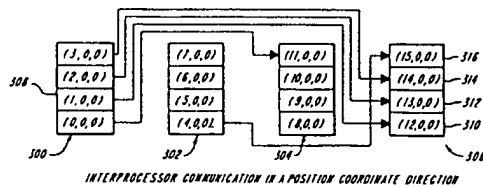


FIG. 11A

PASS	X REGISTER	DESTINATION		SOURCE	
		xx	yx	VIRTUAL BASE	REMOTE BASE
PASS 1	0	1	3	0	V
PASS 2	V	1	3	V	2V
PASS 3	2V	1	3	2V	3V
PASS 4	3V	0	2	3V	0

FIG. 11B

第1頁の続き

②発 明 者 リー、ミンーチイ

アメリカ合衆国 27511 ノースカロライナ州 キャリイ、カレン
コート 126